

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年 10 月 27 日 (27.10.2005)

PCT

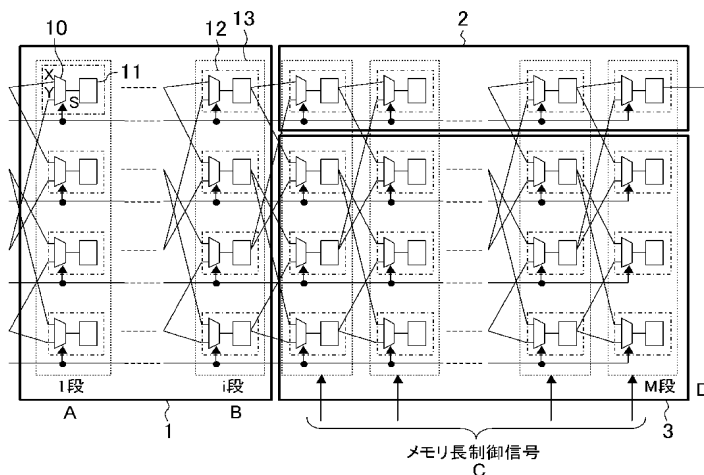
(10) 国際公開番号  
WO 2005/101669 A1

- (51) 国際特許分類: H03M 13/41 (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 有馬 幸生 (ARIMA, Yukio).
- (21) 国際出願番号: PCT/JP2004/018194
- (22) 国際出願日: 2004 年 12 月 7 日 (07.12.2004) (74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町 2 丁目 5 番 7 号 大阪丸紅ビル Osaka (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (30) 優先権データ:  
特願 2004-112786 2004 年 4 月 7 日 (07.04.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).

[ 続葉有 ]

(54) Title: PATH MEMORY CIRCUIT

(54) 発明の名称: パスメモリ回路



A. L-STAGE  
B. i-STAGE  
C. MEMORY LENGTH CONTROL SIGNAL  
D. M-STAGE

(57) Abstract: When a storage circuit (13) of a certain stage and those of the following stages are caused to stop, a storage element circuit (11) of a memory area B (2) that stores surviving paths of a particular state is caused to serve as a repeater, and the other storage element circuits (11), which belong to a memory area C (3) are caused to stop, whereby a decoding result can be outputted without using additional bus wires and selectors.

(57) 要約: ある段以降の記憶回路 (1 3) を停止する際、特定ステートの生き残りパスを記憶するメモリ領域 B (2) の記憶要素回路 (1 1) をリピータとして動作させ、それ以外のメモリ領域 C (3) に属する記憶要素回路 (1 1) を停止させることによって、新たにバス配線やセレクタを追加することなしに復号結果を出力する。



WO 2005/101669 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

## 明 細 書

### パスメモリ回路

### 技術分野

- [0001] 本発明は、通信、光ディスク、磁気ディスクのリードチャネルに用いられるビタビ復号において、各ステートにおける生残りパス情報を記憶するパスメモリ回路に関するものである。

### 背景技術

- [0002] ビタビ復号は、ある特定の畳み込みによって符号化されたデータ列を受信した際に、その畳み込みの規則に基づいて最も適当と思われるデータを予測、復号する技術である。畳み込みの規則は状態遷移図として記述することができ、更にこの状態遷移図に時間の概念を考慮すると、トレリス線図として記述できる。
- [0003] 一例として、図1に畳み込み符号化器を、図2にそれに対応したトレリス線図をそれぞれ示す。図1のうち81、82は遅延素子、83、84は加算器である。遅延素子81、82は1時刻前の値を保持する。図2中のkは時刻を示している。すなわち、図2は時刻k-1から時刻kまでの状態遷移と、時刻kから時刻k+1までの状態遷移とを示している。また、S0～S3は状態遷移におけるステート番号を示している。ステート間を結ぶ線はブランチと呼ばれ、あるステートが次に遷移し得るステートへ接続している。
- [0004] ビタビ復号では、各ステートからの遷移の尤度(確からしさ)を評価するために各ブランチについて評価関数を用いてブランチメトリックを計算する。一方、復号を開始して以来、各ステートはそのステートに至るブランチのうち最も確からしいブランチのブランチメトリックを累積加算して記憶している。これをパスメトリックという。通常、ブランチメトリックの計算は理想値と実際に受信した値との二乗誤差で求められており、時刻k-1におけるパスメトリックと時刻kでのブランチメトリックとを加算した結果が最小となるブランチを最も確からしいブランチと判断している。
- [0005] パスメモリ回路は、各時刻における最も確からしいブランチで示される遷移をとる理想値を保持し、時刻とともに後段にシフトしていく。このシフト動作時に各記憶回路はそれぞれ最も確からしいブランチに相当する前段の記憶要素回路からの値を選択し

て保持する。例えば、ある時刻でS0について最も確からしいブランチがS1から遷移してくるブランチだった場合、 $M0(i) = M1(i-1)$ となる。ここで、 $M0(x)$ はステート0に関するx段目のメモリの内容、 $M1(x)$ はステート1に関するx段目のメモリの内容、 $i$ は1からパスメモリ段数-1までの範囲の整数である。

[0006] このような処理によって得られた、各時刻における最も確からしいブランチを連結したパスを生き残りパスという。トレリス線図中の各ステートはそれぞれの生き残りパスを持っているが、復号処理が進むにつれて全てのステートが持つ生き残りパスは同じものに収束する。パスメモリ回路の内容も同様にシフト動作が進むと各ステートに関するメモリの内容が同じ値に収束する。このようにして得られた1つの生き残りパスがビタビ復号による最終的な復号結果である。

[0007] ここまでの説明で、パスメモリ回路のメモリ段数(メモリ長)としては復号結果が収束するまでのデータを保持できる段数があれば十分であることが分かる。しかしながら、収束に必要な時間は符号化方式や適用するアプリケーションだけでなく、温度、ノイズなど使用環境の違いによっても変動するため、一意に決めることは不可能である。このため、従来のビタビ復号のパスメモリ回路では使用環境の変動を見込んで長めのメモリ長が用いられている。しかしながら、これは回路規模の増大と消費電力の増加を引き起こす原因となってしまう。

[0008] このため、復号処理の状況に応じてメモリ長を切り替えることが可能なパスメモリ回路が広く提案されている(特許文献1及び特許文献2参照)。例えば、図3に示すようにM(Mは正の整数)段のメモリ長を持つパスメモリ回路のうち、復号結果の収束状況に応じてj段目以降の記憶要素回路の動作を停止する手法である。ここで、jは整数でかつ $0 < j \leq M$ である。図3中、20がそれぞれのステートで決まる最も確からしいブランチに応じて入力信号を選択する選択回路、21は選択回路20の出力を保持する記憶要素回路、22は選択記憶要素回路、23は1段の記憶回路、24は出力選択回路を示す。

[0009] j段目以降の記憶回路23を停止することを指示するメモリ長制御信号を受信した場合、j段目以降の記憶回路23は供給されるクロック信号が停止されるなどの方法によって動作を停止する。このとき、パスメモリ回路の出力を正常に取り出すため、出力選

択回路24ではメモリ長制御信号に応じて、 $j-1$ 段目の記憶回路23の出力を選択し出力する。このようにして、図3のパスメモリ回路は $j-1$ 段の記憶回路23の動作だけで済み、 $M-j+1$ 段分の記憶回路23の消費電力を削減することができる。

[0010] また、パスメモリ回路のうち後段部分を停止できるようにする代わりに、前段部分を停止できるようにしてパスメモリ回路への入力段を選択する手法も知られている(特許文献3参照)。

特許文献1:特開昭63-166332号公報

特許文献2:特開平10-302412号公報

特許文献3:特開2002-368628号公報

発明の開示

発明が解決しようとする課題

[0011] このようにパスメモリ回路における消費電力の問題を解決する手法としてパスメモリ回路のメモリ長を可変にする手法が提案されているが、回路規模の増加が課題となる。図3に示す構成では、 $j$ 段目以降の記憶回路23の動作を停止した場合、パスメモリ回路の出力を取り出すために $j-1$ 段目の出力を引き出し、 $M$ 段目の出力とのいずれかを選択する手段が必要となる。停止できる段が増えれば、それに応じて出力を引き出すための配線とセレクタも増加してしまうという問題がある。

[0012] 本発明の目的は、パスメモリ回路の低消費電力化と回路規模の削減とを実現することにある。

課題を解決するための手段

[0013] 本発明によるパスメモリ回路は、 $i+1$  ( $i$ は整数でかつ $0 < i < M$ ) 段目以降の記憶要素回路を制御信号によって動作停止可能とし、 $i+1$ 段目以降の記憶要素回路のうちある特定のステートに関するデータを保持する記憶要素回路をメモリ領域Bとし、 $i+1$ 段目以降の記憶要素回路のうちメモリ領域Bに属さないものをメモリ領域C、残りの記憶要素回路をメモリ領域Aとして分割し、 $j$  ( $j$ は整数でかつ $i < j \leq M$ ) 段目以降の記憶要素回路を停止する場合、メモリ領域Cの $j$ 段目以降は停止し、メモリ領域Bの $j$ 段目以降はメモリ領域Bに属する記憶要素回路がシフトレジスタを構成するように制御することを特徴とする。

## 発明の効果

[0014] このような手段を講じることで、本発明によるパスメモリ回路は、j段目以降の記憶要素回路を停止した場合でも、それぞれの段から出力を取り出すバス配線やそれぞれの出力を選択するためのセクタを追加することなしにパスメモリ出力を得ることが可能であり、パスメモリ回路の低消費電力化の実現と回路規模の削減に顕著な効果を示す。

## 図面の簡単な説明

- [0015] [図1]図1は、一般的な畳み込み符号化器の構成を示すブロック図である。
- [図2]図2は、図1の畳み込み符号化器に対応したトレリス線図である。
- [図3]図3は、可変メモリ長を有する従来のパスメモリ回路を示すブロック図である。
- [図4]図4は、本発明の第1の実施形態に係るパスメモリ回路のブロック図である。
- [図5]図5は、図4中のメモリ長制御信号の生成例を示すブロック図である。
- [図6]図6は、図4中のメモリ長制御信号の他の生成例を示すブロック図である。
- [図7]図7は、本発明の第2の実施形態に係るパスメモリ回路中のメモリ領域Bのための記憶要素回路の構成例を示す回路図である。
- [図8]図8は、図7の記憶要素回路の変形例を示す回路図である。
- [図9]図9は、図7及び図8の構成に代わる、メモリ長制御信号の同期化手法を示す回路図である。
- [図10]図10は、本発明の第3の実施形態に係るパスメモリ回路のブロック図である。
- [図11]図11は、本発明の第4の実施形態に係るパスメモリ回路のブロック図である。
- [図12]図12は、図11中の記憶要素回路の構成例を示す回路図である。

## 符号の説明

- [0016] 1 メモリ領域A  
2 メモリ領域B  
3 メモリ領域C  
10, 20 選択回路  
11, 21 記憶要素回路  
12, 22 選択記憶要素回路

- 13, 23 記憶回路
- 14 リピータ型選択記憶要素回路
- 15 同期型選択記憶要素回路
- 16 クロック制御回路
- 17 スキャンパス
- 18 動作モード制御回路
- 24 出力選択回路
- 31 同期パルス生成回路
- 32 データ保持回路
- 41 同期信号生成回路
- 42 マスター記憶回路
- 43 スレーブ記憶回路
- 51 同期パルス生成回路
- 52 ドライバ回路
- 61 収束判定回路
- 62 論理和回路
- 71 メモリ長設定ユニット
- 72 論理和回路
- 81, 82 遅延素子
- 83, 84 加算器
- 101 選択回路
- 102 データ保持回路

#### 発明を実施するための最良の形態

[0017] 以下、説明を簡単にするため、図1に示す畳み込み符号化器によって符号化されたデータ列の復号を行うビタビ復号器に基づいて説明する。この符号化器による状態遷移は上述したように図2に示すトレリス遷移図を描く。

[0018] 《第1の実施形態》

図4は、本発明によるパスメモリ回路を示している。図4中、1がメモリ領域A、2がメ

メモリ領域B、3がメモリ領域C、10が選択回路、11が記憶要素回路、12が選択記憶要素回路、13が1段の記憶回路を示す。選択記憶要素回路12は、ビタビ復号によってそれぞれのステート毎に求められる最も確からしいブランチを示す信号に応じて入力信号を選択して出力する選択回路10と、その出力をクロック信号に同期して保持する記憶要素回路11とから構成される。記憶回路13は、同じ段に属する全てのステートに関する選択記憶要素回路12から構成される。

[0019] 図4に示したパスメモリ回路は最大メモリ長がMであり、拘束長が3(すなわちステート数は4)なので、選択記憶要素回路12の個数は全部で4M個である。

[0020] メモリ領域Aは、ビタビ復号の収束が最も早い場合に必要となるi段までの全ステートに関する選択記憶要素回路12を含む領域である。メモリ領域Bは、i+1段目からM段目の選択記憶要素回路12のうち、ステート0に関するものを含む領域である。メモリ領域Cは、それ以外の全ての選択記憶要素回路12を含む領域である。このうちメモリ領域A及びメモリ領域Cに属する選択回路10及び記憶要素回路11はそれぞれ一般的なセレクトと、一般的なフリップフロップ又はラッチとでよい。これに対し、メモリ領域Bに属する選択回路10は、動作停止する場合に前段の選択記憶要素回路12のうちメモリ領域Bに属するものから来る入力を選択するように制御される必要がある。ただし、メモリ領域Bの記憶要素回路11は一般的なフリップフロップ又はラッチでよい。

[0021] ここで、j段目以降の記憶回路13を停止する場合について説明する。j段目以降の記憶回路13に対して動作停止を指示するメモリ長制御信号(ここではメモリ長制御信号=Hの場合、動作停止を指示しているものとする。)が入力されると、メモリ領域Bではi+1段目からj-1段目までは通常の動作を行い、j段目以降では選択回路10が常にステート0の選択記憶要素回路12の出力(図4ではX入力)を選択する。この機能は、選択回路10のセレクト信号(図4ではS入力)とメモリ長制御信号との論理演算により容易に実現可能である。このように、選択回路10が常にX入力を選択することによって、メモリ領域Bのj段以降の選択記憶要素回路12はシフトレジスタのように前段の出力を後段にシフトしていくことになる。これによって、パスメモリ回路の出力としてj-1段目の記憶回路13の出力信号が出力される。

[0022] 一方、メモリ領域Cではi+1段目からj-1段目までは通常の動作を行い、j段目以降



ではその動作を停止する。動作を停止するには、クロック信号の供給を停止する方法が一般的に知られている。クロック信号の供給を停止することで選択記憶要素回路12の動作を停止するには、メモリ領域Cに供給されるクロックの配線をそれぞれの段毎に分離しておき、対応するメモリ長制御信号がHの場合はクロック信号をL固定又はH固定にするように制御すればよい。

[0023] 更に、メモリ長制御信号がHである段の回路を構成するトランジスタの基板に逆方向バイアスを印加してもよい。これによってリーク電流を低減できるので、消費電力をより低減することが可能である。また、それぞれの段に供給される電源を分離しておき、動作を停止する段の回路に電源自体を供給しないという制御を行ってもよい。

[0024] 次に、メモリ長制御信号の生成方法について説明する。前記特許文献1及び2に開示されるように、ビタビ復号器に入力される信号の振幅レベルやディスク読み取りのヘッド位置などの外的要因を参照して必要なメモリ長を決定する方法が一般に知られている。図5は、このような方法によるメモリ長制御回路を示している。図5中、71はメモリ長設定ユニット、72は論理和回路である。

[0025] メモリ長設定ユニット71は外的な要因を入力として、それに応じて最適なメモリ長を推定し、その結果に応じたメモリ長制御信号を出力する。推定方法はアプリケーションによって様々な形態をとり得るが、そのうちの形態として、入力信号の平均強度を求め、その値に基づいて事前に記憶しておいたメモリ長を選択してメモリ長制御信号を出力する方法が考えられる。メモリ長制御回路がj-1段のメモリ長で復号が可能と判断した場合は、j段以降の記憶回路13へ入力されるメモリ長制御信号は論理和回路72により全てHになるように生成される。

[0026] また別の生成方法として、ビタビ復号の経過を参照してメモリ長制御信号を生成してもよい。図6にその場合の回路構成を示す。図6中の61は、段毎の全ての選択記憶要素回路12の出力を観測しビタビ復号の結果が収束したかどうかを判定する収束判定回路である。ビタビ復号によって正しく復号が行われた場合、パスメモリ回路の同じ段に含まれる全てのステートの保持データは同じ値に収束する。このため、それぞれの段で各選択記憶要素回路12の出力を比較して、全てが等しい場合には次段に供給するメモリ長制御信号をHにする。また、外的要因を参照する場合と同様、前

段のメモリ長制御信号がHの場合はその段のメモリ長制御信号も論理和回路62によりHにする。こうすることで、復号結果が1つの値に収束した段の次の段以降のメモリ長制御信号が全てHになる。

[0027] 《第2の実施形態》

次に、本発明の第2の実施形態を示す。第2の実施形態におけるメモリ領域Bの記憶要素回路11は、メモリ長制御信号がLの場合にはクロック信号に同期して入力信号を保持、出力を行い、メモリ長制御信号がHの場合にはクロック信号に関わらず入力信号をそのまま出力する動作を行う。すなわち、第1の実施形態ではメモリ領域Bとメモリ領域Cとのクロック配線を分離する必要があったが、第2の実施形態ではその必要はない。また、メモリ領域Cの記憶要素回路11にはメモリ領域Bと同じ構成の記憶要素回路11を使用することができる。

[0028] 図7にそのような記憶要素回路11の構成図を示す。図7中、31は同期パルス生成回路、32はデータ保持回路である。同期パルス生成回路31は、(メモリ長)制御信号がLの場合は同期信号の立ち上がりエッジに同期してパルスを出力し、同制御信号がHの場合はH固定の信号を出力する。生成されるパルス信号のパルス幅は、図7中の遅延素子の遅延量で決まる。一方、データ保持回路32は、同期パルス生成回路31の出力信号がHの場合は入力信号を取り込みながら出力し、Lの場合は取り込んだデータを保持して出力する。

[0029] 記憶要素回路11に図7に示す構成の回路を使用する場合、図7の同期信号と制御信号とにそれぞれ記憶回路13に供給されるクロック信号とメモリ長制御信号とを入力し、入力信号として選択回路10の出力信号を入力する。これによって、メモリ長制御信号がLの記憶回路13では、記憶要素回路11はクロック信号に同期して選択回路10の出力を保持、出力し、メモリ長制御信号がHの記憶回路13では、同期パルス生成回路31の出力信号はH固定となり、データ保持回路32は入力信号を取り込みながら出力するモードとなるので、記憶要素回路11は選択回路10の出力信号をそのまま出力することになる。この出力はクロック信号に関わらず行われるので、メモリ長制御信号がHの記憶回路13へ供給するクロック信号を停止できる。こうすることで、同期パルス生成回路31やクロック信号を駆動するバッファなどで消費される電力を

低減することができる。

[0030] 図8は、同様の動作をする記憶要素回路11の更に異なる構成図である。図8中、41は同期信号生成回路、42はマスター記憶回路、43はスレーブ記憶回路である。同期信号生成回路41では、(メモリ長)制御信号がLの場合には入力された同期信号をそのまま第1及び第2の同期信号CLK, CLK2としてそれぞれ出力する。逆に、同制御信号がHの場合にはCLKには同期信号と同じ信号を出力し、CLK2には同期信号の反転信号を出力する。制御信号の値に関わらず、XCLK、XCLK2はそれぞれCLK、CLK2の反転信号を出力する。このような規則にしたがって生成されるCLK、CLK2、XCLK、XCLK2に応じて、マスター記憶回路42では、CLKがLのとき入力信号を取り込みながら出力し、CLKがHのとき取り込んだデータを保持しながら出力する一方、スレーブ記憶回路43では、CLK2がHのときマスター記憶回路42の出力を取り込みながら出力し、CLK2がLのときに取り込んだデータを保持しながら出力する。

[0031] 記憶要素回路11に図8に示す構成の回路を使用する場合、図8の同期信号と制御信号にそれぞれ記憶回路13に供給されるクロック信号とメモリ長制御信号とを入力し、入力信号として選択回路10の出力信号を入力する。これによって、メモリ長制御信号がLの記憶回路13では、記憶要素回路11はクロック信号に同期して選択回路10の出力を保持、出力し、一方、メモリ長制御信号がHの記憶回路13では、同期信号生成回路41の出力信号であるCLKとCLK2はそれぞれ反転した関係となる。このとき記憶回路13に供給されるクロックをLに固定すれば、CLKはL固定、CLK2はH固定となり、マスター記憶回路42及びスレーブ記憶回路43はそれぞれ入力信号を取り込みながら出力するモードとなるので、記憶要素回路11は選択回路10の出力信号をそのまま出力することになる。

[0032] ここで、更に面積効率の高い構成について説明する。図9に構成図を示す。図9中、51はクロック信号に同期したパルス信号を生成する同期パルス生成回路、52は同期パルス生成回路51の出力とメモリ長制御信号との論理和を出力するドライバ回路である。図7に示す記憶要素回路11を使用した場合、同期パルス生成回路31を記憶要素回路11の数だけ持つことになる。これに対して図9では、一般的なラッチを選

択記憶要素回路12中の記憶要素回路として使用し、それらへ供給するパルス信号を1つの同期パルス生成回路51で生成することで、電力と面積の削減を図る。同期パルス生成回路51で生成されたパルス信号は、それぞれの段の選択記憶要素回路12に供給されるが、その際にドライバ回路52で対応するメモリ長制御信号との論理和をとってから入力される。これによって、先に説明したのと同等の動作が実現できる。図9ではメモリ領域Bしか図示しなかったが、メモリ領域Cに同様の構成を適用してもよい。その際、メモリ領域B及びメモリ領域Cへ供給されるパルス信号は共通でよい。

[0033] ここまでの説明で明らかであるが、図7、図8、図9のいずれの構成をとっても、j段以降の記憶回路13を停止した場合、メモリ領域Bのj段以降の選択記憶要素回路12は前段の出力を後段にリピートしていくことになる。すなわち、パスメモリ回路の出力としてj-1段目の記憶回路13の出力信号が出力される。

[0034] ここに示した点以外のメモリ領域A、メモリ領域Cに関する動作及びメモリ長制御信号の生成方法などは、第1の実施形態と同様である。

[0035] 《第3の実施形態》

図10に第3の実施形態の構成図を示す。図10中、14はリピータ型選択記憶要素回路、15は同期型選択記憶要素回路、16はメモリ長制御信号に応じてクロック信号を制御するクロック制御回路である。リピータ型選択記憶要素回路14は前述の選択記憶要素回路12と同様の構造であるが、その内部の記憶要素回路11は、メモリ長制御信号がHのときにクロック信号に関わらず入力信号をそのまま出力する記憶要素回路である。同期型選択記憶要素回路15は前述の選択記憶要素回路12と同様の構造であるが、その内部の記憶要素回路11は、メモリ長制御信号がHのときにクロック信号に同期して入力信号を保持、出力する記憶要素回路である。ただし、図10ではメモリ領域Aは図示を省略している。

[0036] 第3の実施形態ではメモリ領域Bに属する選択記憶要素回路の一部が同期型選択記憶要素回路15であり、残りがリピータ型選択記憶要素回路14となっている。実際には同期型選択記憶回路15は、ある段数おきに配置される。この段数は、パスメモリ回路に入力されるクロック信号の周期 $T_c$ 、リピータ型選択記憶要素回路14の出力遅

延 $T_d$ 、同期型選択記憶要素回路15の出力遅延 $T_o$ 及びセットアップ制約 $T_s$ 、更に選択記憶要素回路間の配線遅延 $T_l$ によって、

$$\text{同期型選択記憶要素回路15の配置間隔} \leq (T_c - T_l - T_o - T_s) / (T_d + T_l)$$

のように決定できる。

[0037] クロック制御回路16は、入力されるメモリ長制御信号がLの場合はクロック信号を出力し、Hの場合はクロック信号を停止する。このクロック制御回路16の出力は、メモリ領域Bにおいてリピータ型選択記憶要素回路14が用いられている段ではメモリ領域B及びメモリ領域Cの全ての選択記憶要素回路14, 12に供給される。一方、同期型選択記憶要素回路15ではメモリ領域Cの選択記憶要素回路12だけにクロック制御回路16の出力が供給され、メモリ領域Bの選択記憶要素回路(すなわち、同期型選択記憶要素回路15)にはクロック制御回路16で制御されていない元のクロック信号が入力される。

[0038] このような構成をとることにより、メモリ長制御信号によってj段以降が停止する場合には、メモリ領域Bでは同期型選択記憶要素回路15はクロック信号に同期してデータを保持、出力し、リピータ型選択記憶要素回路14は入力信号をそのまま出力する。

[0039] これによって、クロックの動作による電力消費をできるだけ低減しつつ、停止するj段目からM段目までの出力遅延が動作クロックの周期を越えてタイミングエラーを起こすことを回避することができる。

[0040] 上述した第1及び第2の実施形態はメモリ領域Bとしていずれのステートに関する選択記憶要素回路12を用いてもよいが、最も効率の良い構成は、同じステートへの状態遷移を持つステートに関する選択記憶要素回路12の一群をメモリ領域Bに採用した場合である。例えば、図2に示すトレリス線図ではステート0(S0)とステート3(S3)はそれぞれ次の状態がS0、S3である状態遷移があるので、メモリ領域Bに適している。このようなステートをメモリ領域Bに採用した場合、選択回路10はメモリ領域Bに属する前段の選択記憶要素回路12の出力を取り込むための特別なパスを新たに作らなくても、既存のパスを利用することが可能となる。これに対して、図2中のステート1(S1)をメモリ領域Bとして採用すると、j-1段目のステート1に関する選択記憶要素

回路12はj段目のステート2とステート3に関する選択記憶要素回路12にしか接続していないため、新しくステート1に関する選択記憶要素回路12に接続するパスを設ける必要があるので好ましくない。第3の実施形態でも同様である。

[0041] 《第4の実施形態》

図11に第4の実施形態におけるメモリ領域Bの構成図を示す。図11中、17はスキャンパス、18は動作モード制御回路である。ただし、図11ではメモリ領域A及びメモリ領域Cは図示を省略している。

[0042] 一般的にフリップフロップなどのデータ保持回路は、チップ検査用にスキャンテスト回路が備えられている。図12にスキャン機能付データ保持回路を示す。図12中、101はモード選択信号(NT)がLのとき通常入力(D)を選択し、Hのときテスト入力(SI)を選択する選択回路、102はクロック信号(CK)に同期して入力信号を保持し出力するデータ保持回路である。

[0043] このようなスキャン機能付データ保持回路をメモリ領域Bの記憶要素回路11に用い、かつスキャンパス17を、メモリ領域B内の全ての記憶要素回路11をi段目からM段目まで昇順に接続するように構成する。更に、メモリ長制御信号がLのときには入力された動作モード制御信号を出力し、メモリ長制御信号がHのときにはH固定信号を出力する動作モード制御回路18の出力信号を、それぞれの段で記憶要素回路11中の選択回路101のNTに入力する。

[0044] このような構成をとることで、メモリ長制御信号によってj段以降が停止する場合には、j段以降のメモリ領域Bの記憶要素回路11はスキャンモードで動作することになる。すなわち、記憶要素回路11の入力はスキャンパス17を介して入力される前段の記憶要素回路11の出力を取り込み、それをM段目の記憶要素回路11まで繰り返していく。

[0045] この構成で、一般的なスキャン機能付フリップフロップを記憶要素回路11に用いた場合、メモリ領域Bでは停止される段にもクロック信号を入力する必要がある。しかし、第2の実施形態で示した図7又は図8の記憶要素回路11を図12中のデータ保持回路102として用いれば、クロック信号を供給する必要はない。

[0046] 加えて、図11の構成の場合、いずれのステートに関する選択記憶要素回路12をメ

メモリ領域Bとしても回路構成の効率は変わらない。

[0047] なお、本実施形態でも第3の実施形態に示すように同期型選択記憶要素回路15とリピータ型選択記憶要素回路14とを混在させることが可能である。

[0048] さて、第4の実施形態の説明では、いずれのステートに関する選択記憶要素回路12でもメモリ領域Bとして採用することができると述べたが、レイアウトをする際にはそれぞれのメモリ領域がそれぞれ1つずつの領域に配置され、かつ互いに包含されないようにすると、メモリ長制御信号、動作モード制御信号、クロック信号等の分配が容易となる。このため、実際には、図4の場合と同様に最上列か最下列に配置された選択記憶要素回路12の列がメモリ領域Bとなるように配置することが望ましい。

#### 産業上の利用可能性

[0049] 本発明に係るパスメモリ回路は、回路規模の増加を抑えながらメモリ長の可変機能を実現するという特徴を有し、通信、光ディスク、磁気ディスクのリードチャネルシステムにおける誤り訂正技術として有用である。

### 請求の範囲

- [1] 状態数 $n$  ( $n$ は正の整数)の状態遷移に応じて復号を行うビタビ復号に用いられ、ビタビ復号の結果に応じて任意の入力を選択し出力する選択回路と、前記選択回路が選択し出力した結果を記憶する記憶要素回路とから構成される選択記憶要素回路を $n$ 列備えた記憶回路が $M$  ( $M$ は正の整数)段縦続接続されたパスメモリ回路であって、
- 先頭から $i$  ( $i$ は0以上、 $M$ 以下の整数)段の前記記憶回路によって構成されるメモリ領域 $A$ と、
- $i+1$ 段目から $M$ 段目までの前記記憶回路のうち任意の状態 $k$  ( $k$ は1以上、 $n$ 以下の整数)に関する復号結果を選択、保持する前記選択記憶要素回路によって構成されるメモリ領域 $B$ と、
- 前記メモリ領域 $A$ 及び前記メモリ領域 $B$ 以外の前記選択記憶要素回路によって構成されるメモリ領域 $C$ とから構成され、
- メモリ長制御信号に応じて前記メモリ領域 $C$ の $j$  ( $j$ は $i+1$ 以上、 $M$ 以下の整数)段目以降の記憶回路を停止し、かつ前記メモリ領域 $B$ の $j$ 段目以降の前記選択回路が前段の記憶回路のうち前記メモリ領域 $B$ に属する前記選択記憶要素回路の出力を選択することを特徴とするパスメモリ回路。
- [2] 請求項1記載のパスメモリ回路において、
- ビタビ復号する信号の状況に応じてパスメモリ長を所望の長さに設定するように任意の段の記憶回路への前記メモリ長制御信号を一状態に設定するメモリ長設定手段と、
- ある段の記憶回路への前記メモリ長制御信号が前記一状態に設定された場合に次段の記憶回路への前記メモリ長制御信号を前記一状態に設定する論理和手段とを更に備えたことを特徴とするパスメモリ回路。
- [3] 請求項1記載のパスメモリ回路において、
- 任意の段の前記記憶要素回路の出力が全て等しいと判定した場合に次段の記憶回路への前記メモリ長制御信号を一状態に設定する収束判定手段と、
- ある段の記憶回路への前記メモリ長制御信号が前記一状態に設定された場合に次



段の記憶回路への前記メモリ長制御信号を前記一状態に設定する論理和手段とを更に備えたことを特徴とするパスメモリ回路。

- [4] 請求項1記載のパスメモリ回路において、  
前記メモリ長制御信号に応じて前記メモリ領域Cのj段目以降の記憶回路を停止したとき、前記メモリ領域Bのj段目以降の前記記憶要素回路の各々がクロック信号に関わらず入力信号をそのまま出力することを特徴とするパスメモリ回路。

- [5] 請求項4記載のパスメモリ回路において、  
前記メモリ領域Bの記憶要素回路は、  
同期パルス信号が一状態のときに入力信号を取り込み、他状態のときに保持するデータ保持手段と、  
同期信号と制御信号とを入力とし前記制御信号が一状態のときに一状態の前記同期パルス信号を出力し、前記制御信号が他状態のときに前記同期信号からパルス信号を生成し前記同期パルス信号として出力する同期パルス生成手段とを有し、  
前記メモリ長制御信号を前記同期パルス生成手段の制御信号として用いることを特徴とするパスメモリ回路。

- [6] 請求項4記載のパスメモリ回路において、  
前記メモリ領域Bの記憶要素回路は、  
第1の同期信号が一状態のときに入力信号を保持し、他状態のときに前記入力信号を取り込むマスター記憶手段と、  
第2の同期信号が一状態のときに前記マスター記憶手段の出力を取り込み、他状態のときに保持するスレーブ記憶手段と、  
同期信号と制御信号とを入力とし前記第1の同期信号として前記同期信号を出力し、前記制御信号が一状態のとき前記同期信号の反転を前記第2の同期信号として出力し、前記制御信号が他状態のとき前記第2の同期信号として前記同期信号をそのまま出力する同期信号生成手段とを有し、  
前記メモリ長制御信号を前記同期信号生成手段の制御信号として用いることを特徴とするパスメモリ回路。

- [7] 請求項4記載のパスメモリ回路において、

前記メモリ領域Bの記憶要素回路はラッチ回路であり、  
入力した同期信号からパルス信号を生成し出力する同期パルス生成手段と、  
前記同期パルス生成手段の出力と前記メモリ長制御信号とを受け、前記メモリ長制御信号が一状態の場合には一状態の信号を出力し、他状態の場合には前記同期パルス生成手段の出力を出力するドライバ回路とを更に備え、  
前記メモリ領域Bへ前記ドライバ回路の出力信号を同期信号として与えることを特徴とするパスメモリ回路。

- [8] 請求項1記載のパスメモリ回路において、  
前記メモリ領域Bは、  
前記メモリ長制御信号が一状態の場合にクロック信号に同期して入力を保持、出力する同期型記憶要素回路と、  
前記メモリ長制御信号が前記一状態の場合に前記クロック信号に関わらず入力信号をそのまま出力するリピータ型記憶要素回路とを有することを特徴とするパスメモリ回路。

- [9] 請求項1記載のパスメモリ回路において、  
前記メモリ領域Bの前記記憶要素回路はスキャンテスト用の回路を備え、当該記憶要素回路間に $i+1$ 段目からM段目への順番で順次スキャンパスが接続され、  
前記メモリ長制御信号に応じて前記メモリ領域Cのj段目以降の記憶回路を停止したとき、前記メモリ領域Bのj段目以降の前記記憶要素回路がスキャンテストモードで動作することを特徴とするパスメモリ回路。

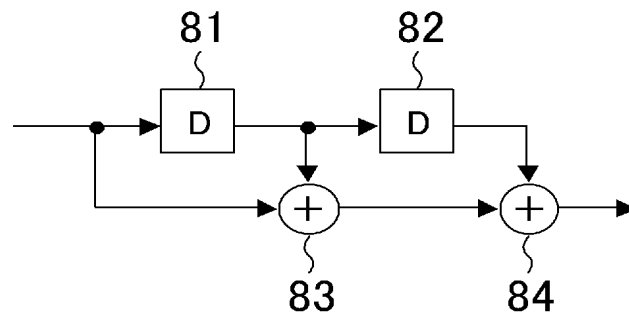
- [10] 請求項1記載のパスメモリ回路において、  
前記メモリ領域A、前記メモリ領域B及び前記メモリ領域Cを構成する回路素子がそれぞれ独立した1つずつの領域に配置され、前記メモリ領域Bが前記メモリ領域Aの1列目又はn列目に対応しかつ当該メモリ領域Aの列に隣接して配置されたことを特徴とするパスメモリ回路。

- [11] 請求項1記載のパスメモリ回路において、  
前記メモリ領域Bは、前記選択回路の入力の1つが1時刻前の同じ状態の前記選択記憶要素回路の出力となるステートに属する前記選択記憶要素回路で構成さ

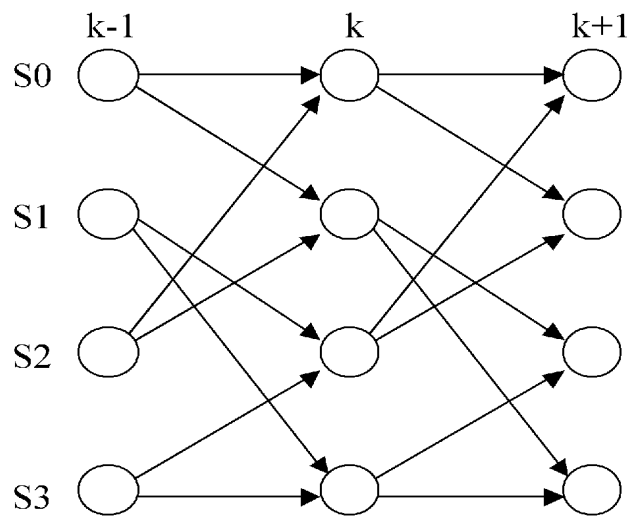
れたことを特徴とするパスメモリ回路。

- [12] 請求項1記載のパスメモリ回路において、  
前記メモリ領域Cのうちj段目以降が停止する場合、前記メモリ領域Cのj段目以降へのクロック信号の供給が停止することを特徴とするパスメモリ回路。
- [13] 請求項12記載のパスメモリ回路において、  
前記メモリ領域Cのうちj段目以降が停止する場合、前記メモリ領域Cのj段目以降に含まれるトランジスタの基板に逆バイアスが与えられることを特徴とするパスメモリ回路。
- [14] 請求項1記載のパスメモリ回路において、  
前記メモリ領域Cのうちj段目以降が停止する場合、前記メモリ領域Cのj段目以降への電源供給が遮断されることを特徴とするパスメモリ回路。

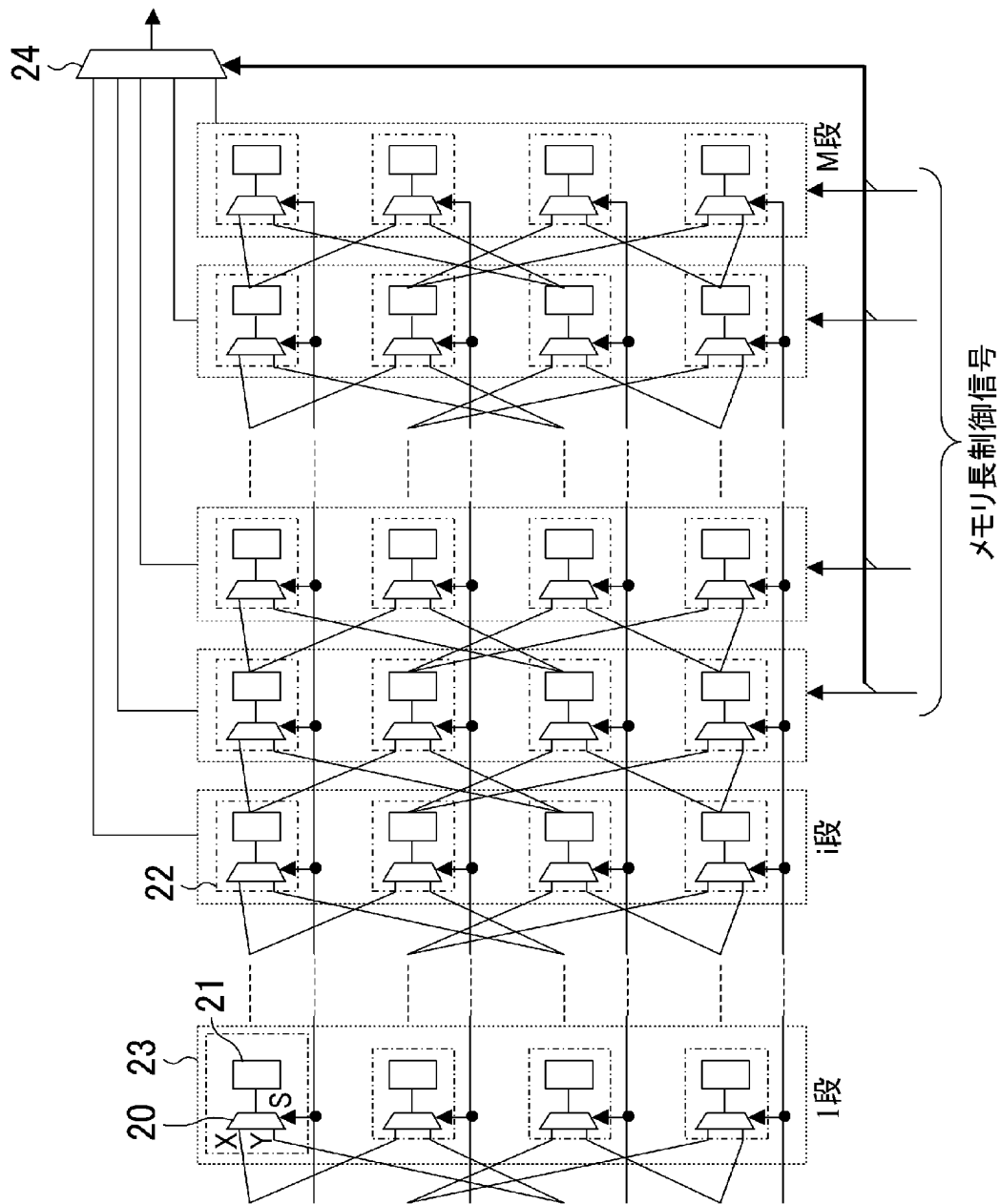
[図1]



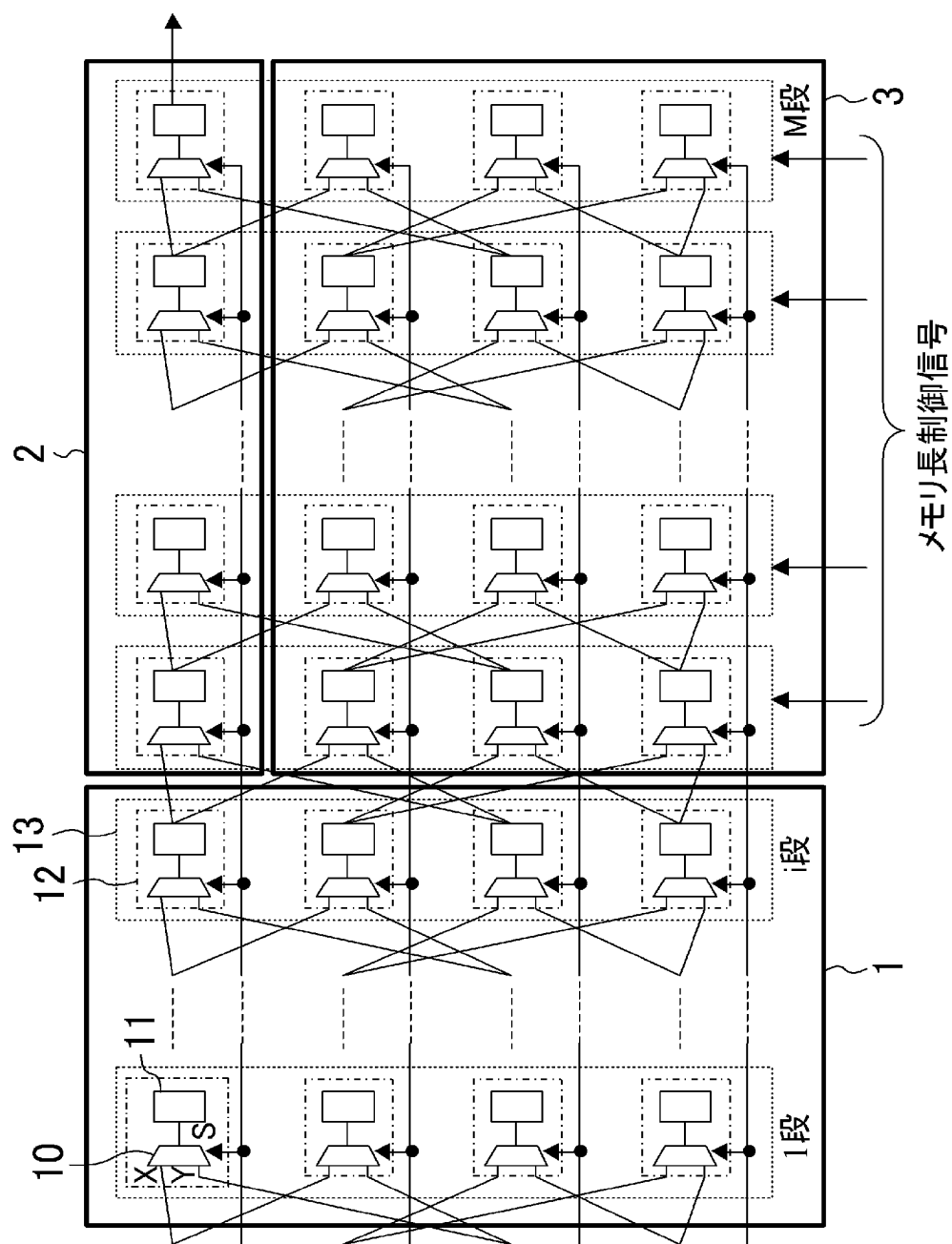
[図2]



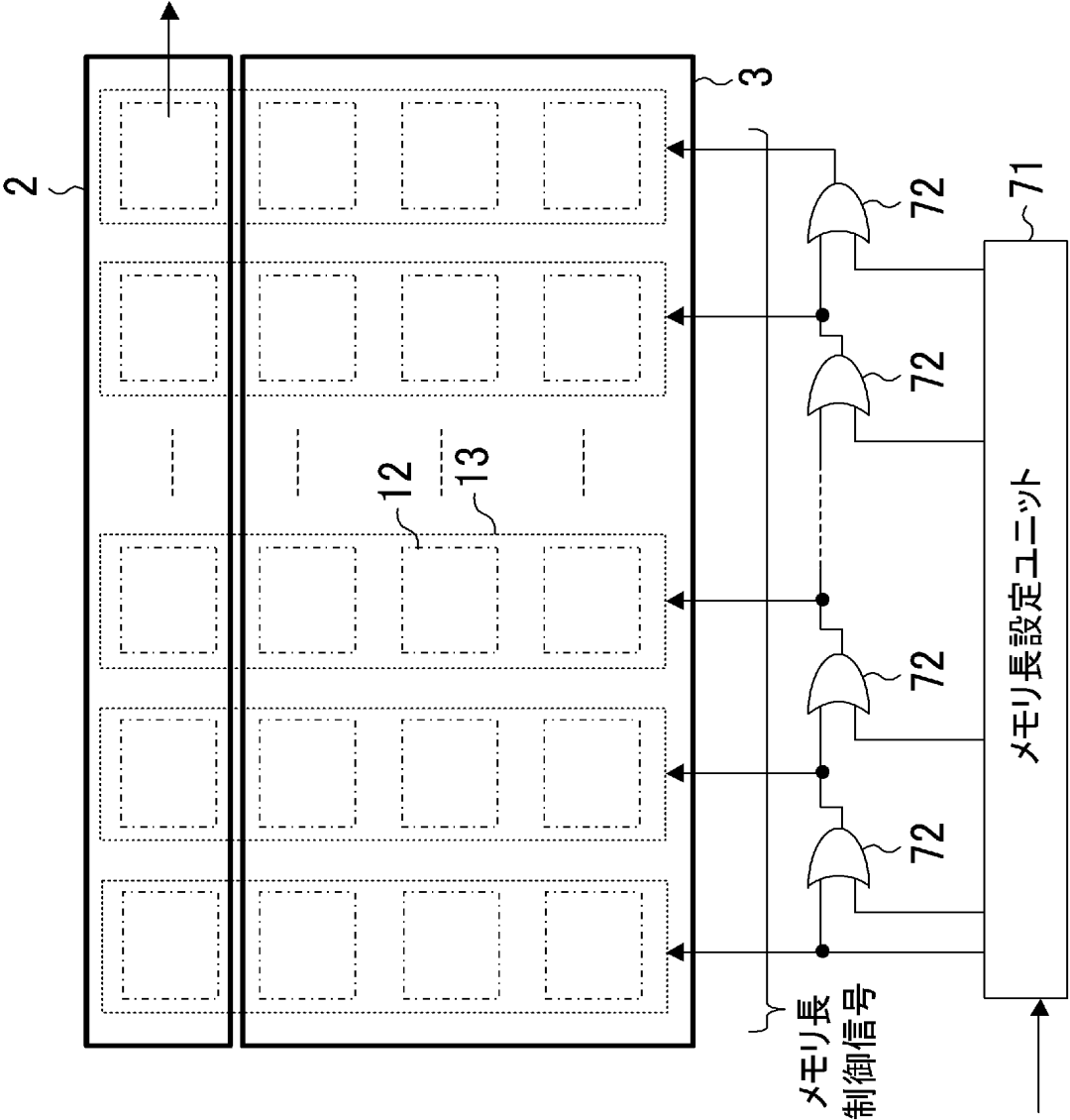
[図3]



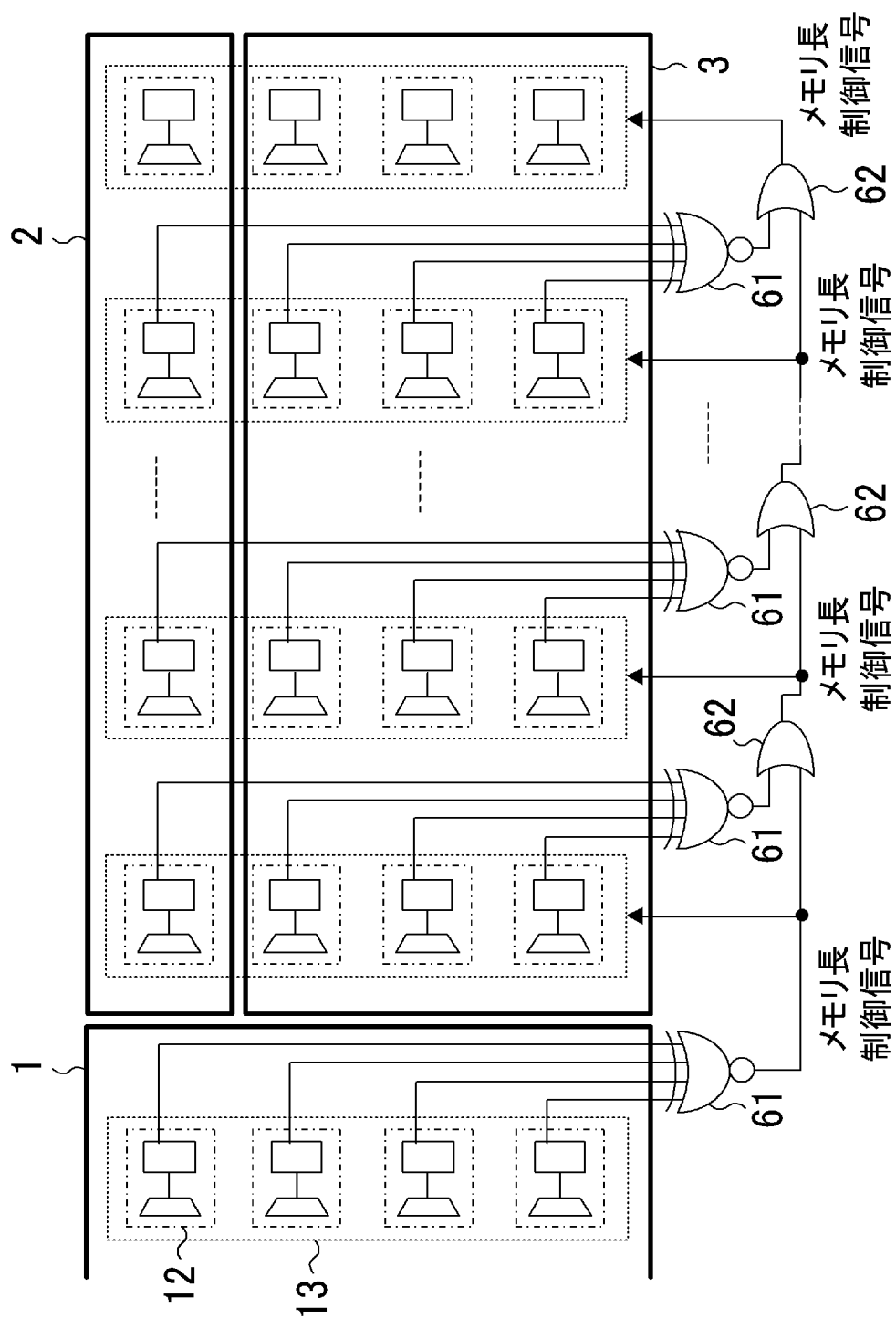
【図4】



[図5]



【図6】





[図7]

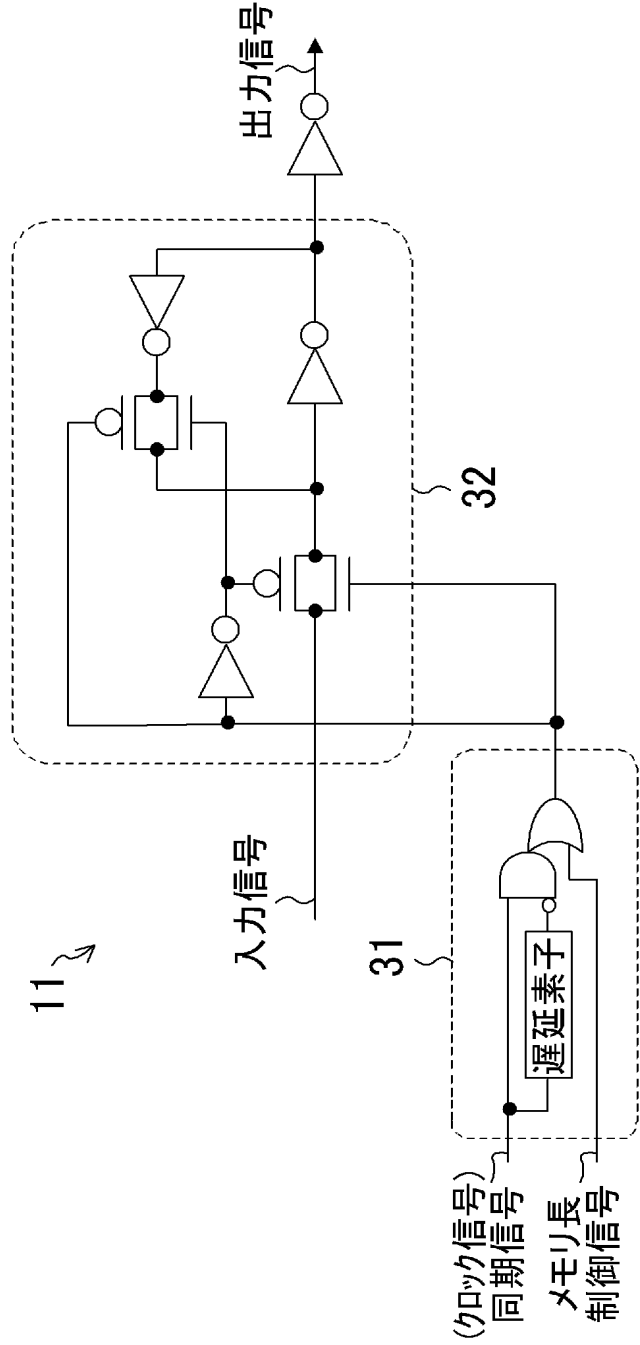
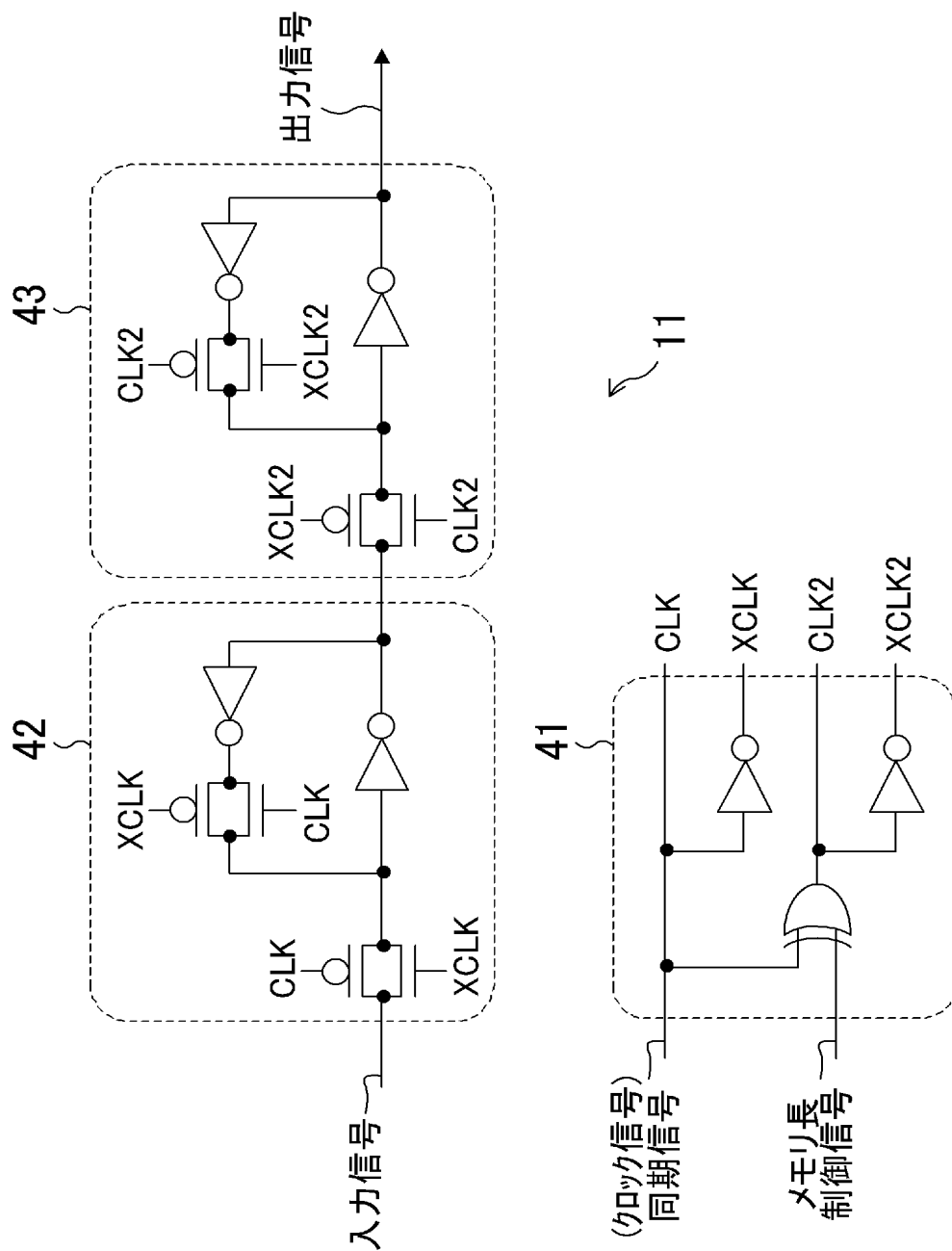
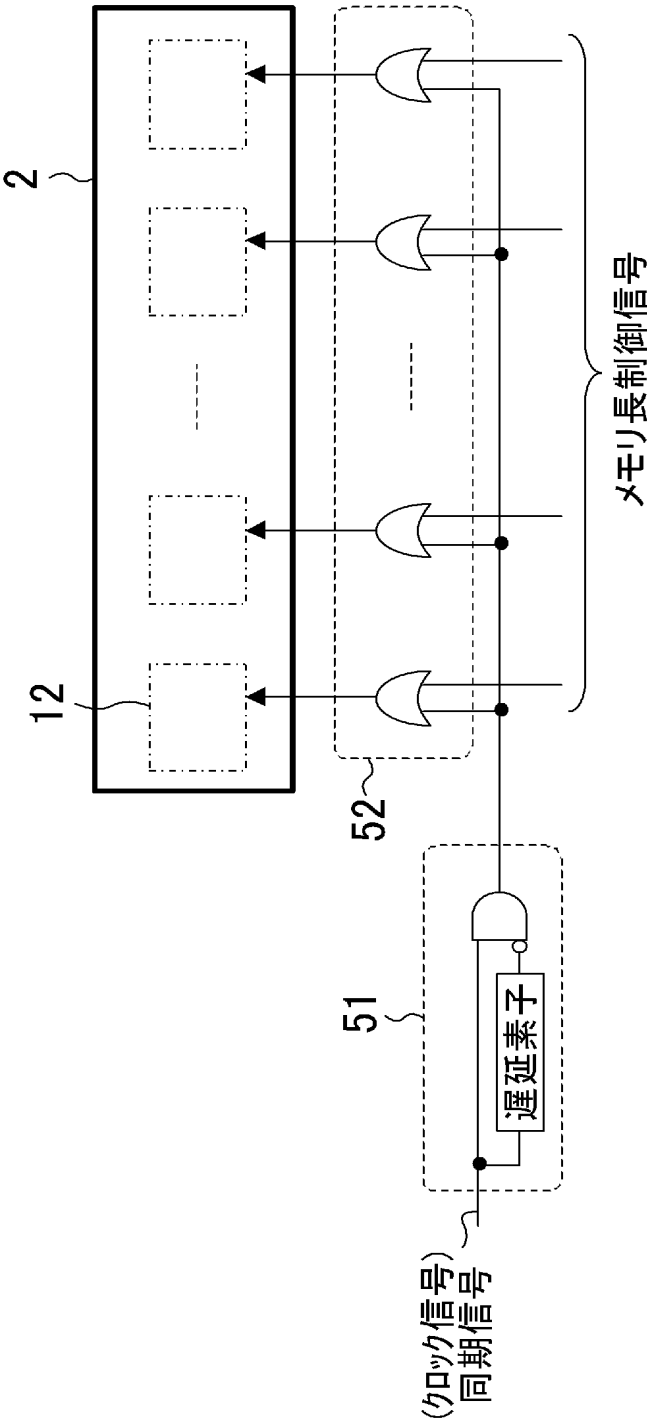


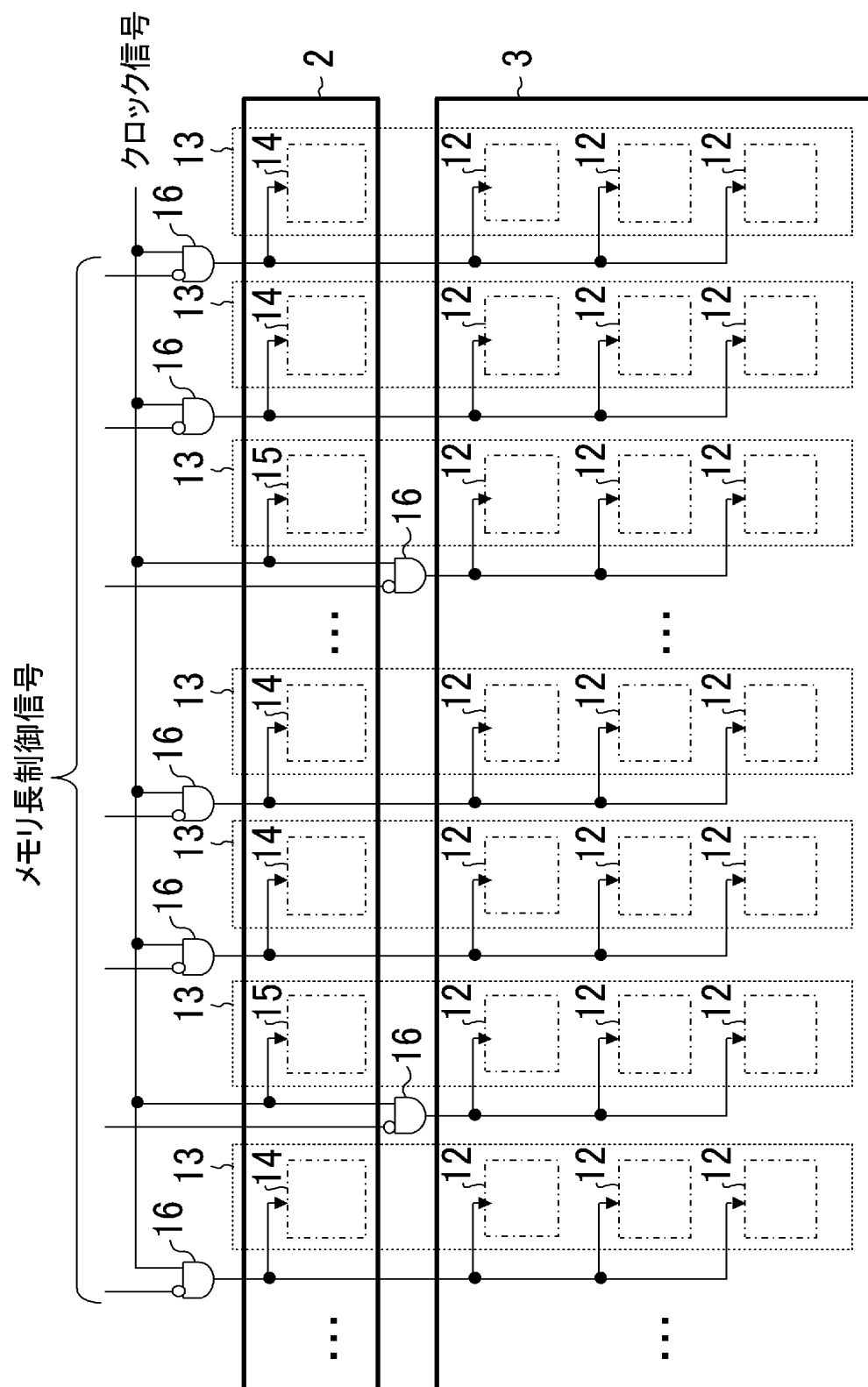
図8



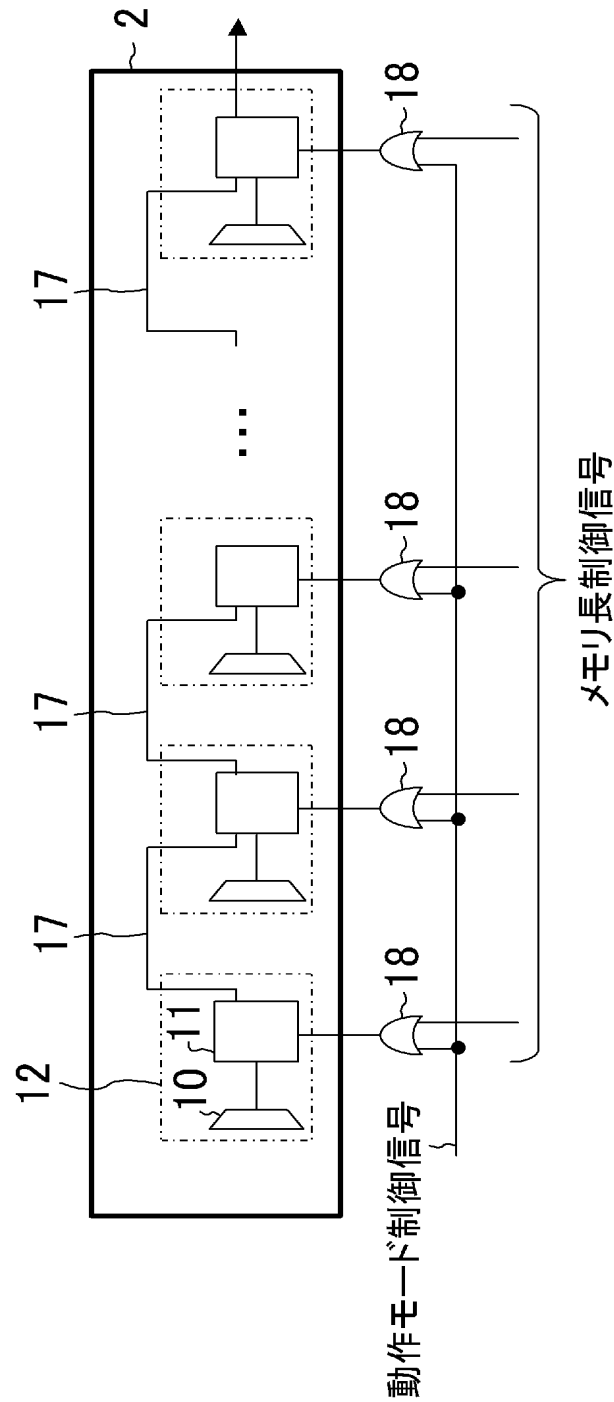
[図9]



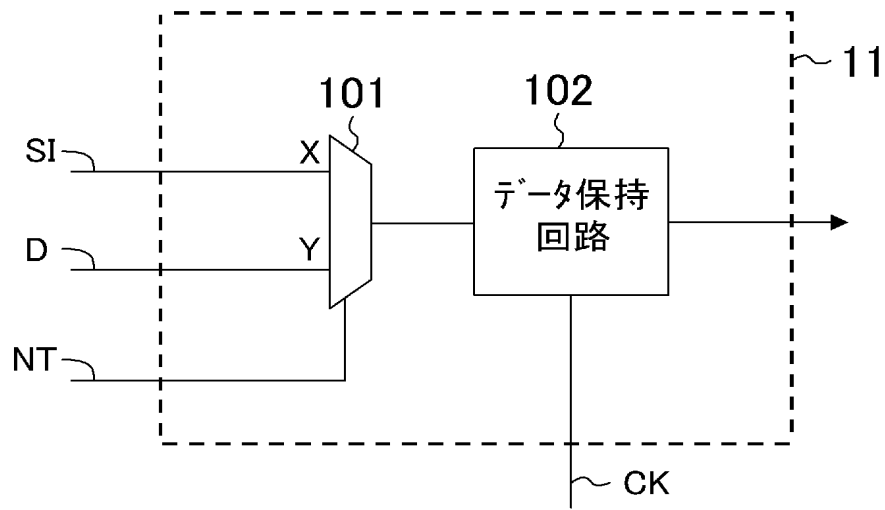
[図10]



[図11]



[図12]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018194

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H03M13/41

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H03M13/00-13/53Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005  
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-144633 A (Hitachi, Ltd.), 25 May, 2001 (25.05.01), Full text; all drawings (Family: none)	1-14
Y	JP 2002-368628 A (NEC Corp.), 20 December, 2002 (20.12.02), Full text; all drawings (Family: none)	1-14
Y	JP 61-75935 A (Fujitsu Ltd.), 18 April, 1986 (18.04.86), Full text; all drawings (Family: none)	9

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
08 February, 2005 (08.02.05)Date of mailing of the international search report  
22 February, 2005 (22.02.05)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl.<sup>7</sup> H03M 13/41

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. Cl.<sup>7</sup> H03M 13/00- 13/53

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-144633 A (株式会社日立製作所)2001.05.25, 全文, 全図 (ファミリーなし)	1-14
Y	JP 2002-368628 A (日本電気株式会社)2002.12.20, 全文, 全図 (ファミリーなし)	1-14
Y	JP 61-75935 A (富士通株式会社)1986.04.18, 全文, 全図 (ファミリーなし)	9

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日  
08.02.2005

国際調査報告の発送日  
22.2.2005

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/J P)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
藤井 浩

5 K 8 6 2 5

電話番号 03-3581-1101 内線 3555